

PAT-NO: JP406151863A
DOCUMENT-IDENTIFIER: JP 06151863 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: May 31, 1994

INVENTOR-INFORMATION:
NAME
KANAI, YOSHIYUKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP04295837
APPL-DATE: November 5, 1992

INT-CL (IPC): H01L029/784
US-CL-CURRENT: 257/328, 257/336 , 257/E29.258

ABSTRACT:

PURPOSE: To provide a semiconductor device in which a problem of a high internal resistance of a built-in diode is eliminated and an avalanche resistance is excellent concerning the semiconductor device having a horizontal double diffusion type MOSFET.

CONSTITUTION: A second drain electrode 12 is formed on the rear of a substrate 1 and is connected to a first drain electrode 11. Also, as another embodiment, a groove reaching the substrate 1 is formed under the first drain electrode 11 and a conductive layer is buried in the

groove.

COPYRIGHT: (C) 1994, JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151863

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9168-4M	H 0 1 L 29/ 78	3 2 1 J
		7377-4M		3 0 1 J
		9168-4M		3 2 1 C

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平4-295837

(22)出願日 平成4年(1992)11月5日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 金井 美之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

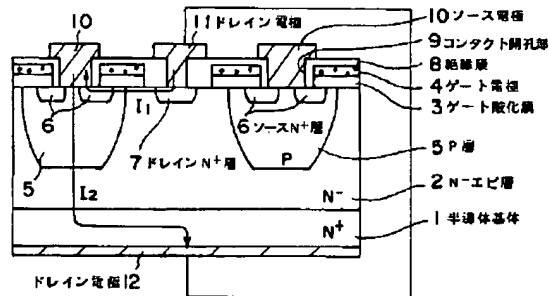
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は、横型の二重拡散型MOSFETを有する半導体装置に関するもので、内蔵ダイオードの内部抵抗が大きい問題点を除去し、アバランシェ耐量に優れた装置を提供することを目的とする。

【構成】 前記目的のため本発明は、前述の半導体装置において、第2のドレイン電極12を基板1の裏面に設け、該電極12と第1のドレイン電極11とを接続するようにしたものである。なお、他の実施例として第1のドレイン電極11の下部に基板1に達する溝を設け、その溝に導電性の層を埋め込むようにしたものも記載してある。



本発明の第1の実施例

1

【特許請求の範囲】

【請求項1】 半導体基体上に設けてある第1導電型の層内に、第2導電型の領域があり、その第2導電型の領域にトランジスタとしてのゲート電極の一部およびソース層とソース電極があり、前記第2導電型の領域以外に少なくとも第1のドレイン電極がある横型の二重拡散型MOSFETを有する半導体装置において、前記半導体基体の前記ドレイン電極がある面とは反対の面（裏面）に第2のドレイン電極を設け、該電極と前記第1のドレイン電極とを接続してあることを特徴とする半導体装置。

【請求項2】 請求項1記載の横型の二重拡散型MOSFETを有する半導体装置において、前記第1のドレイン電極の下部に、前記半導体基体に達する溝が設けられており、該溝に導電性の層が埋め込んであり、該埋め込み層が少なくとも前記第1のドレイン電極と電気的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、横型の二重拡散型MOSFET（MOS電界効果型トランジスタ）を有する半導体装置に関するものである。

【0002】

【従来の技術】従来、この種の装置は、ISPSD' 91（1991-6）IEEE P. 61-64に開示されるものがあり、図5にその半導体装置の構成例を示す。

【0003】その構成は、まずN型の半導体基体1上にN⁻エピ（エピタキシャル）層2があり、その上に、所望のパターニングを施したゲート酸化膜3及びポリシリコンよりなるゲート電極4がある。更に、前記ゲート酸化膜3及びゲート電極4のパターンによりセルフアラインで二重拡散されたP層5がN⁻エピ層2内に、ソースN⁺層6がP層5内にある。尚、ソースN⁺層6は、P層5のコンタクト領域9を形成する為、その中央部には形成されてない。更に、コンタクト開孔部9に形成したソース電極10は絶縁膜8でゲート電極4と絶縁して、P層5とソースN⁺層6を接続する。更に、P層5の外側でN⁻エピ層2の表面にドレインN⁺層7を設け、コンタクト開孔部9に形成したドレイン電極11に接続する。

【0004】

【発明が解決しようとする課題】上記構成の装置におけるP層5によるアバランシェ耐量（降伏電圧による電流に対する耐性）は、アバランシェを図5に示すA部で起こして電流I_Aが流れる構造では、ソースN⁺層6直下に電流I_Aが流れる為、その電位降下により、ソースN⁺層6及びP層7及びN⁻エピ層2からなる寄生NPN Tr（NPNトランジスタ）が動作しやすく、耐量がな

2

い為通常図5のB部でアバランシェさせる構造にする。この場合、電流はI_Bのルートを通り、ソースN⁺層6直下には流れない為、A部でアバランシェさせる構造よりアバランシェ耐量が向上する。しかし、上記構造の装置では、フライホイール回路のようにP層5による内蔵ダイオードを利用するものであり、電流I_Bが比抵抗の高いN⁻エピ層内をかなり通るため、その内部抵抗I₀が大きくなる問題があった。

【0005】この発明は、以上述べたP層を利用する内蔵ダイオードの内部抵抗が大きい問題点を除去し、かつアバランシェ耐量の優れた半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明は前記目的のため、横型の二重拡散型MOSFETである半導体装置において、第1の実施例として半導体基体の裏面に電極を設け、チップ外部で接続するようにしたものであり、又、第2の実施例としてドレイン層に高濃度N⁺層である半導体基体に達するコンタクト用の溝を形成するようにしたものである。

【0007】

【作用】前述したように本発明は、第1の実施例では、電極を基板裏面にも設け、チップ外部で1つの電極とした為、アバランシェ電流及び内蔵ダイオード電流は、従来のN⁻エピ層の比抵抗に比べ数桁低いN⁺半導体基体を通して外部に取り出されるため、低い内蔵抵抗の半導体装置が得られる。

【0008】又第2の実施例では従来のN⁻エピ層内で内部抵抗となる部分に導電性を有する埋込層を形成した為、その内部抵抗を低くすることが出来る。

【0009】

【実施例】図1は、この発明の第1の実施例である。

【0010】この構造は、図5の従来例の構造において、半導体基体1の裏面に第2ドレイン電極12を形成し（この形成は通常の蒸着法などで容易にできる）、チップ外の例えばパッケージ内で第2ドレイン電極12とドレイン電極11を接続した半導体装置である。この構造によると、MOS（MOSFETとしての）動作としての電流は、従来構造と同じく電流I₁が流れるが、アバランシェ電流又は内蔵ダイオードの電流は前記第2ドレイン電極12に向けてI₂のルートで流れる。

【0011】図2は、この発明の第2の実施例である。

【0012】従来例の構造と異なる点は、ドレインN⁺層7の内側で半導体基体1に達する溝20を形成し、その内部に例えば導電性を有するポリシリコンや、アルミニウム又はTiW等の金属をすくなくとも前記溝20の側壁に電気的に接し、かつすくなくともN⁻エピ層の比抵抗より低い比抵抗の導電性埋込層21を形成した後、ドレイン電極11に接続する。尚、溝20内は、導電性埋込層21の内部に絶縁層があってもかまわないの

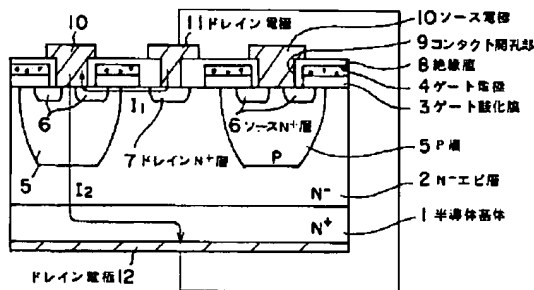
3

は言うまでもない。この構造によると、MOS動作の電流は電流 I_3 を通り、アバランシェ電流又は内蔵ダイオードの電流 I_4 は前記埋込層21を通る。尚、第2の実施例では、ドレイン電極11とドレイン N^+ 層のコンタクトを良くする為、ドレイン層7を設けたが、良好なコンタクトが取れるなら、図3に示すようにドレイン層7は特に必要ではなく、又、逆に、より一層コンタクト抵抗を小さくしたければ、図4に示すように、ドレイン N^+ 層7を N^+ 半導体基体1に達するように形成してもよい。

【0013】第2の実施例の半導体装置の製造方法としては、 N^- エピ層2を形成後、RIE (Reactive Ion Etching) 法により溝20を形成し、導電性を有するN型ポリシリコンやAl又はTiW等の金属をCVD (化学的気相成長) 又は蒸着で形成後、エッチバックして埋込む。この時、ポリシリコンであれば、その後の熱処理により、ポリシリコンからN型不純物を拡散して、図4に示すようにドレイン N^+ 層7を溝20の回りに形成出来る。その後通常の工程を施してMOSFETを形成し、ドレイン電極11と前記導電性埋込層21を電気的に接続するようにすることで所望の半導体装置が得られる。

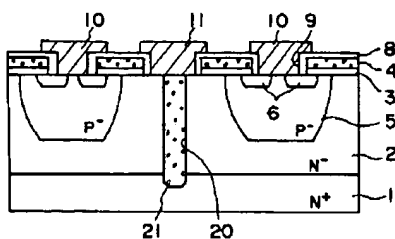
【0014】尚実施例1及び実施例2では、Nch型MOSFETについて述べたが、PchMOSFET及びIGBTに対しても同様であることはいうまでもない。

【図1】



本発明の第1の実施例

【図3】



本発明の第3の実施例

4

又、実施例2では、単体トランジスタでも、集積回路を構成する一素子に応用できることはいうまでもない。

【0015】

【発明の効果】以上、詳細に説明したように、第1の実施例では、電極を基体裏面にも設け、チップ外部で1つの電極とした為、アバランシェ電流及び内蔵ダイオード電流は、従来の N^- エピ層の比抵抗に比べ数桁低い N^+ 半導体基体を通して外部に取り出されるため、低い内蔵抵抗の半導体装置が得られる。

10 【0016】又第2ないし第4の実施例では、従来の N^- エピ層内で内部抵抗となる部分に導電性を有する埋込層を形成した為、その内部抵抗を低くすることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図2】本発明の第2の実施例

【図3】本発明の第3の実施例

【図4】本発明の第4の実施例

【図5】従来例

20 【符号の説明】

7 ドレイン N^+ 層

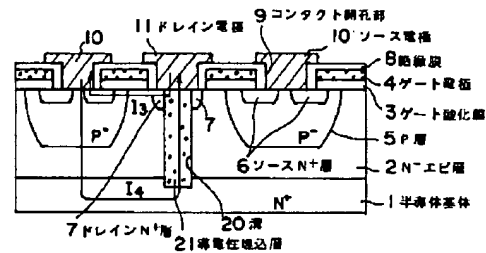
11 ドレイン電極

12 第2のドレイン電極

20 溝

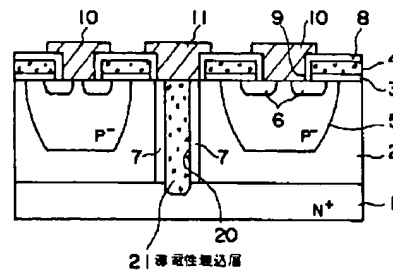
21 導電性埋込層

【図2】



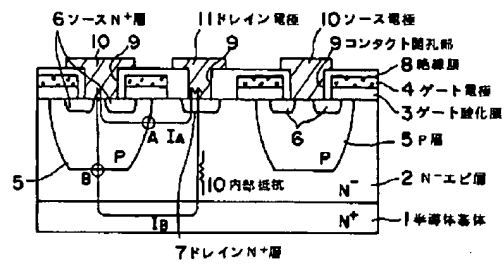
本発明の第2の実施例

【図4】



本発明の第4の実施例

【図5】



従 来 例